

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-199251

(43)公開日 平成10年(1998)7月31日

(51)Int.Cl.⁶

G 1 1 C 11/409

識別記号

F I

G 1 1 C 11/34

3 5 3 E

審査請求 有 請求項の数 4 O L (全 5 頁)

(21)出願番号 特願平9-353669

(22)出願日 平成9年(1997)12月22日

(31)優先権主張番号 1996P-80246

(32)優先日 1996年12月31日

(33)優先権主張国 韓国 (KR)

(71)出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72)発明者 鄭 龍權

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

(72)発明者 孫 ▲眞▼承

大韓民国京畿道利川市夫鉢邑牙美里山136
- 1 現代電子産業株式会社内

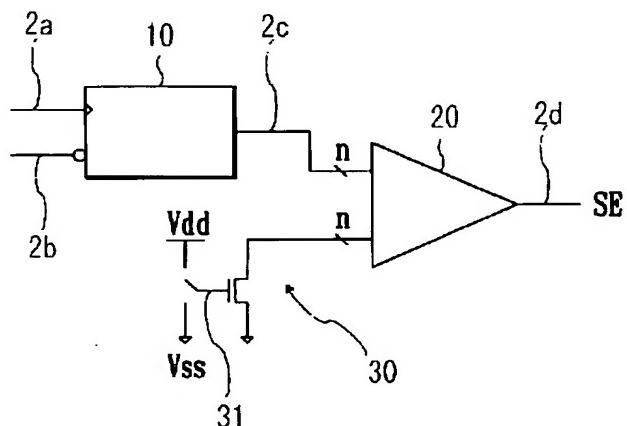
(74)代理人 弁理士 荒船 博司 (外1名)

(54)【発明の名称】センスアンプイネーブル信号発生装置

(57)【要約】

【課題】 工程の変化や供給電圧のノイズ、温度変化等に影響を受けて、適切な時間が経過した後にセンスアンプを動作させることができ可能なセンスアンプイネーブル信号発生装置を提供することを目的としている。

【解決手段】 半導体メモリ装置において、メモリアレイの行アドレスを選択するためのR A S B信号が入力されるとともに、クロック信号に同期して信号を出力し、R A S B信号の入力が停止すると動作が停止するカウント手段と、このカウント手段によって出力されたカウント値が予めプログラムされた時間遅延設定値まで増加すると、センスアンプの動作開始を指示するセンスアンプイネーブル信号を出力し、R A S B信号の入力が停止すると、センスアンプイネーブル信号の出力を停止する比較手段とを備えた。



【特許請求の範囲】

【請求項1】半導体メモリ装置において、メモリアレイの行アドレスを選択するためのRASB信号が入力されるとともに、クロック信号に同期して信号を出力し、前記RASB信号の入力が停止すると動作が停止するカウント手段と、このカウント手段によって出力されたカウント値が予めプログラムされた時間遅延設定値まで増加すると、センスアンプの動作開始を指示するセンスアンプイネーブル信号を出力し、前記RASB信号の入力が停止すると、前記センスアンプイネーブル信号の出力を停止する比較手段と、を備えることを特徴とするセンスアンプイネーブル信号発生装置。

【請求項2】前記時間遅延設定値は、前記比較手段の一方の入力端子と接地電圧の間に接続され、ゲート端子に電源電圧が印加されるn型MOSトランジスタによりプログラムされることを特徴とする請求項1記載のセンスアンプイネーブル信号発生装置。

【請求項3】前記時間遅延設定値は、前記比較手段の一方の入力端子と接地電圧の間に接続されたn型MOSトランジスタのゲート入力を電源電圧、或いは接地電圧に連結してプログラムされることを特徴とする請求項1記載のセンスアンプイネーブル信号発生装置。

【請求項4】前記クロック信号は、リングオシレータから出力されることを特徴とする請求項1から3のいずれかに記載のセンスアンプイネーブル信号発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置において、特定のセンスアンプを駆動させるためのセンスアンプイネーブル信号を、適切なタイミングで発生させるセンスアンプイネーブル信号発生装置に関する。

【0002】

【従来の技術】一般的なDRAM(Dynamic Random Access Memory)素子における動作について、図1に示すタイミングチャートを参照して説明する。

【0003】DRAM素子においては、RASB(Row Address Strobe Bar)信号によってメモリアレイの行アドレス(Row Address)が指定される。このRASB信号は、RAS(Row Address Strobe)信号の反転信号であり、図1に示すように“Hi”から“Lo”に立ち下がることによってアクティブとなる負論理信号である。

【0004】DRAM素子を動作させる主信号であるRASB信号1bが立ち下がってアクティブ状態(“Lo”)に変化すると、ロードレスバッファ(Row Address Buffer)内にアドレス信号が入力される。

【0005】このロードレスバッファが受信したアドレス信号のロードレス等をデコードする事によって、セルアレイブロックのワードラインの中から指定された

ワードラインを選択するロードコーディング(Word Decoding)動作がなされる。

【0006】そして、選択されたワードラインに連結されているセルに記憶されたデータがワードライン(WL)信号1cとして出力され、さらにこのデータがビットライン信号(BL, /BL)1dとして出力される。このとき、ロードレスによって選択されたセルアレイブロックのセンスアンプ駆動回路が動作を開始すべき時点を指示する信号が outputされ、このセンスアンプ駆動回路が動作を行すことによって、センスアンプのバイアス電圧はそれぞれ電源電圧(Vcc)と接地電圧(Vss)に遷移し、センスアンプを駆動させることになる。

【0007】センスアンプが動作を始めると、微少な電位差を保っていたビットライン信号1dが大きな電位差に遷移する。この状態において、メモリセルアレイの列アドレスを指定するカラムアドレス(Column Address)に従って選択されたカラムデコーダが、ビットラインに出力されたデータをデータバスラインに伝えるカラム伝達トランジスタ(Column Transfer Transistor)を作動させて、ビットライン信号1dとして出力されたデータはデータバスライン(DB, /DB)に伝達され、素子外部に出力される。

【0008】上記動作においては、選択されたワードラインに連結されたメモリセルから出力されたデータに従って、ビットライン信号1dに0.2~0.3V程度の微細な電位差が発生する時に、センスアンプイネーブル信号(SE)1eが“Lo”から“Hi”に立ち上がってアクティブとなり、センスアンプを動作させる。

【0009】

【0010】図2は、図1に示すRASB信号1bとセンスアンプイネーブル信号1eとの間において求められる時間の遅延を発生させるために、従来用いられていた時間遅延回路を示す図である。同図に示す回路においては、RASB信号1bが立ち下がり、センスアンプイネーブル信号1eが立ち上がってアクティブ状態になるまでの時間の遅延を、インバータ41, 42, 43, 44とキャパシタ51, 52, 53を利用した回路によって実現している。

【0011】しかし、この図2に示す回路を用いた方法では、工程の変化、急激な温度変化、供給電圧のノイズ等の種々の影響によって、遅延時間を決定するディレイ(delay)値が変化することがあり、その結果、素子に損害を生じることがあった。一方、この問題を改良するため、設計上のマージンを大きく設けた場合、素子のアクセスタイム(access time)が損なわれるという欠点が

あった。

【0012】上記の課題を解決するため、本発明は、工程の変化や供給電圧のノイズ、温度変化等に影響を受けて、適切な時間が経過した後にセンスアンプを動作させることが可能なセンスアンプイネーブル信号発生装置を提供することを目的としている。

【0013】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の発明は、半導体メモリ装置において、メモリアレイの行アドレスを選択するためのRASB信号が入力されるとともに、クロック信号に同期して信号を出力し、前記RASB信号の入力が停止すると動作が停止するカウント手段と、このカウント手段によって出力されたカウント値が予めプログラムされた時間遅延設定値まで増加すると、センスアンプの動作開始を指示するセンスアンプイネーブル信号を出力し、前記RASB信号の入力が停止すると、前記センスアンプイネーブル信号の出力を停止する比較手段と、を備えることを特徴としている。

【0014】ここで、RASB信号とは、メモリアレイにおいて行アドレスを指定するためのRAS (Row Address Strobe) 信号の反転信号である。

【0015】請求項1記載の発明によれば、半導体メモリ装置において、カウント手段により、メモリアレイの行アドレスを選択するためのRASB信号が入力されるとともに、クロック信号に同期して信号を出力し、RASB信号の入力が停止すると動作が停止し、比較手段により、このカウント手段によって出力されたカウント値が予めプログラムされた時間遅延設定値まで増加すると、センスアンプの動作開始を指示するセンスアンプイネーブル信号を出力し、RASB信号の入力が停止すると、センスアンプイネーブル信号の出力を停止する。

【0016】従って、工程の変化や供給電圧のノイズ、温度変化等に影響を受けにくく、また、それぞれのDRAMに対して、カウント手段によって最適の遅延時間を容易に設定することが可能であり、設計時において過大なマージンを設ける必要がないので、設計時の余裕が増加し、さらに、収率改良及び効率の向上にも利点がある。そして、内部から発生させた高周波クロックを利用することで、従来のインバータとキャパシタのRCディレイを利用する技術に比べ、より一層細かい遅延分解能を実現することが可能である。

【0017】請求項2記載の発明は、請求項1記載のセンスアンプイネーブル信号発生装置において、前記時間遅延設定値は、前記比較手段の一方の入力端子と接地電圧の間に接続され、ゲート端子に電源電圧が印加されるn型MOSトランジスタによりプログラムされることを特徴としている。

【0018】請求項2記載の発明によれば、請求項1記載のセンスアンプイネーブル信号発生装置において、比

較手段の端子と、接地電圧とに接続され、ゲート入力端子には電源電圧が印可されているn型MOSトランジスタによって、時間遅延設定値が設定される。

【0019】また、請求項3記載の発明は、請求項1記載のセンスアンプイネーブル信号発生装置において、前記時間遅延設定値は、前記比較手段の一方の入力端子と接地電圧の間に接続されたn型MOSトランジスタのゲート入力を電源電圧、或いは接地電圧に連結してプログラムされることを特徴としている。

10 【0020】請求項3記載の発明によれば、請求項1記載のセンスアンプイネーブル信号発生装置において、比較手段の端子と、接地電圧とに接続されたn型MOSトランジスタのゲート入力端子において、電源電圧を印加するか、或いは接地電圧に連結することによって、時間遅延信号設定値をプログラムする。

【0021】従って、供給電圧のノイズ、温度変化等によって遅延時間設定値が影響を受けることがないので、適切な遅延を行うことが可能であり、さらに、効率を向上させることができる。

20 【0022】請求項4記載の発明は、請求項1から3のいずれかに記載のセンスアンプイネーブル信号発生装置において、前記クロック信号は、リングオシレータから出力されることを特徴としている。

【0023】請求項4記載の発明によれば、請求項1から4のいずれかに記載のセンスアンプイネーブル信号発生装置において、リングオシレータによってクロック信号が出力される。

【0024】従って、高周波のクロック信号を利用することにより、より細かい遅延分解能を実現することが可能である。

【0025】

【発明の実施の形態】以下、この発明の実施の形態について、図3及び図4を参照しながら説明する。

【0026】図3は、本発明の実施の形態としてのセンスアンプイネーブル信号発生装置の構成を示す図であり、カウンタ10、比較器20及びn型MOSトランジスタ30によって構成され、比較器20にはカウンタ10とn型MOSトランジスタ30が接続されている。

【0027】カウンタ10は、RASB信号2bが“Hi”から“Lo”に立ち下がってアクティブになると、クロック信号2aに同期してカウンタ信号2cを出力し、RASB信号2bが立ち上がってディスエーブルするとカウンタ信号2cの出力を停止する。

【0028】比較器20には、カウンタ10の出力信号2cと、予め設定された時間遅延設定値とが入力される。カウンタ値が設定値まで増加することになれば、センスアンプイネーブル信号2dを出力し、RASB信号が立ち下がってディスエーブルする時には、センスアンプの動作を停止させる。

50 【0029】また、比較器20は、カウンタ10の出力

が一側に入力され、他の一つの入力は、テストによって得られた最適のディレイ量に相応するカウンタビット (counterbit) 値に予め設定されている。このディレイ値は n 型MOS トランジスタ 30 のゲート入力端子 31 を電源電圧 (Vdd) 、或いは接地電圧 (Vss) に適切に連結することによってプログラムされる。

【0030】図4は、図3に示す入出力信号の動作タイミング図であり、クロック信号 2a 、RASB信号 2b 、カウンタ出力信号 2c 、センスアンプイネーブル信号 2d の動作タイミングを表している。

【0031】RASB信号 2b が "Hi" から "Lo" に切り替わってアクティブになると、カウンタ 10 は、クロック入力信号 2a に同期してパルス信号 2c の出力を開始する。

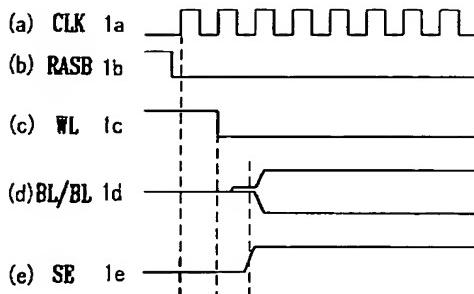
【0032】ここで、比較器 20 はカウンタ 10 から出力されるパルス信号 2c を、予め設定されたカウンタ値 (比較器の他の一側のビット値と同じ値) と比較し、カウンタ 10 から出力された信号 2c が、プログラムされたカウンタ値に達すると、センスアンプイネーブル信号 2d を出力する。

【0033】一方、RASB信号 2b が "Lo" から "Hi" に立ち上がると、カウンタ 10 はパルス信号 2c の出力を停止し、信号 2c は "Lo" のままになり、回路は初期状態に復帰することになる。(この時、センスアンプは動作しなくなる)

【0034】ここで、本実施の形態として示す回路によって実現可能なディレイの範囲は、比較器 20 に入力されるカウンタビット数が N の場合 $(2^N - 1) \times (1/f_{CLK})$ である。ここで f_{CLK} はクロック入力の周波数である。

【0035】また、実現可能なディレイの最小単位は $1/f_{CLK}$ となる。従って、ディレイ分解能を改良するためにはクロック入力の周波数が高いことが必要である。

【図1】



このため、既存のDRAMを動作させるために用いられているクロック信号 (例えば、セルフリフレッシュ (selfrefresh) 動作の際、リフレッシュカウンタの入力に用いられるオシレータの出力) を利用するか、或いは、リングオシレータを新たに設けるなど、新しく高周波数のクロック信号をチップ内部で発生させて用いると、より効果的である。

【0036】

【発明の効果】以上のように、本発明のセンスアンプイネーブル信号発生装置によれば、それぞれのDRAMに対し最適のディレイ量を容易に設定することが可能であり、最小限のDRAMアクセスタイムを保障することができる。ディレイ範囲をカウント手段において調節可能であるため、デザインの余裕が増加し、さらに収率改良にも利点がある。また、内部から発生させた高周波クロックを利用することにより、既存のインバータとキャパシタのRCディレイを利用する技術に比べ、一層微細なディレイ分解能が可能である。

【図面の簡単な説明】

【図1】一般的なセンスアンプ動作と関連した信号を示すタイミングチャート。

【図2】図1に示すRASB信号とSE信号との間において要求される時間遅延を実現するための、従来の時間遅延回路を示す図。

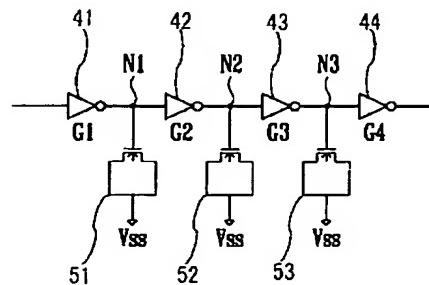
【図3】本発明の実施の形態としてのセンスアンプイネーブル信号発生装置の要部構成を示す図。

【図4】図3の各部において入出力される信号を示すタイミングチャート。

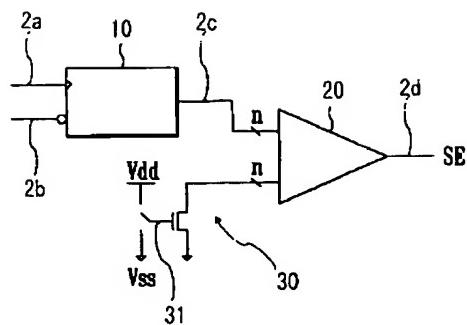
【符号の説明】

- | | | |
|----|----|-------------|
| 30 | 10 | カウンタ |
| | 20 | 比較器 |
| | 30 | n型MOSトランジスタ |
| | 31 | ゲート入力端子 |

【図2】



【図3】



【図4】

